

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-186646

(43)Date of publication of application : 26.07.1989

(51)Int.Cl.

H01L 21/78  
B28D 5/00  
H01L 21/306

(21)Application number : 63-005846

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 14.01.1988

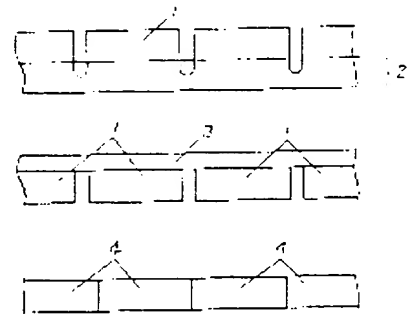
(72)Inventor : MURATA TAKAHIKO  
ABE TERUO

## (54) DICING METHOD

### (57)Abstract:

PURPOSE: To obtain a high-resolution and highly accurate adhesion image sensor by connecting a plurality of chips using a first process for performing cutting from the surface of a semiconductor substrate which forms a circuit and a second process which performs polishing and etching from the rear surface.

CONSTITUTION: A first process 1 which is the cutting from the surface of a semiconductor substrate 1 is performed. In this case, a part 2 which lacks vertical properties of cutting surface as half cut is left. Since no rear surface of the substrate 1 is cut in this process, no positioning deviation of each chip occurs on cutting vertical and horizontal columns. After the first process, the surface of the substrate 1 is fixed by fixing agent 3, the part 2 on the cutting surface which 1 lacks vertical properties is removed by polishing or etching from the rear surface, the chip fixing agent 3 is removed, and a plurality of chips 4 are connected to form a long image sensor. It allows a high-resolution and highly accurate adhesion-type image sensor to be obtained and mass production capability to be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

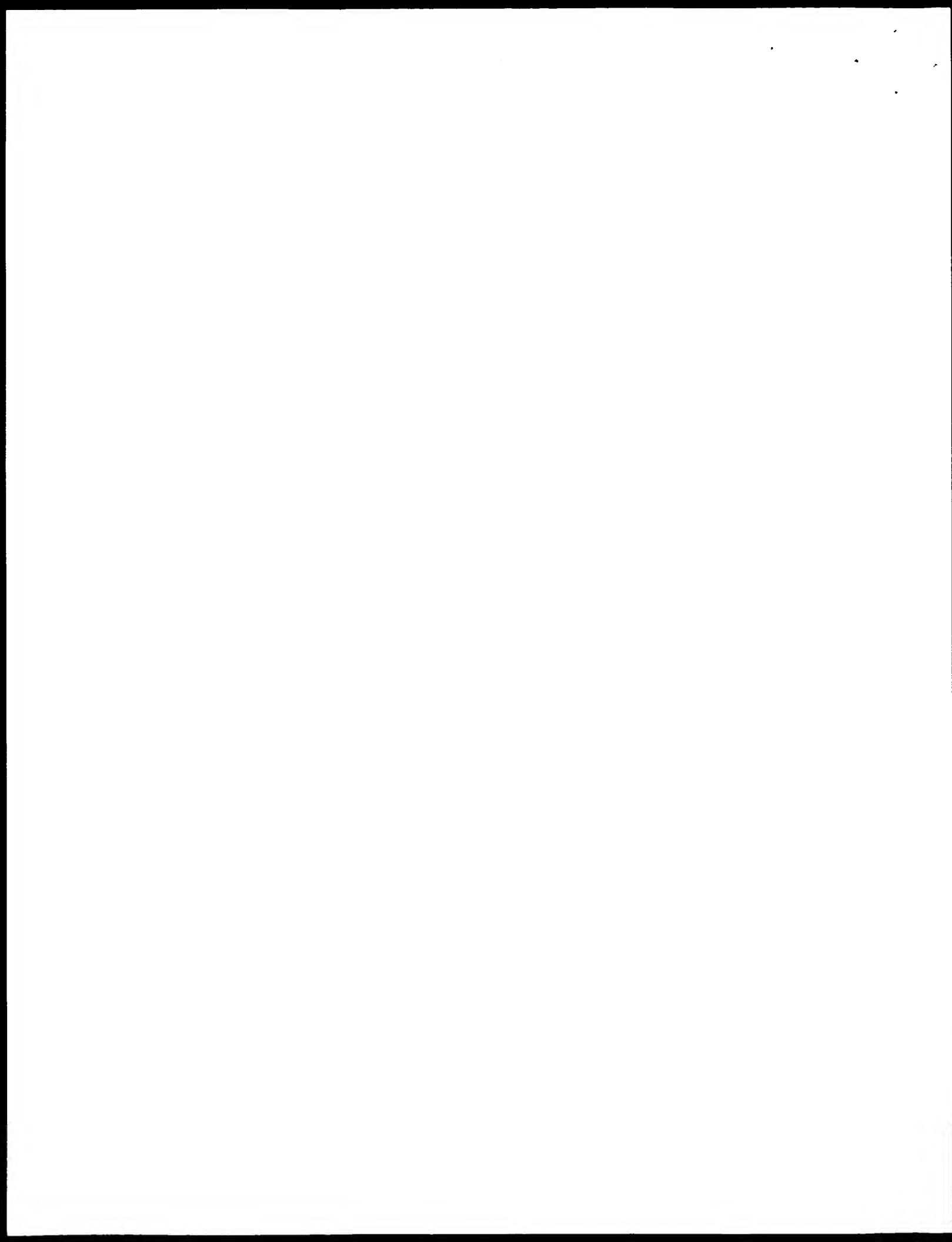
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]



# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 01186646  
PUBLICATION DATE : 26-07-89

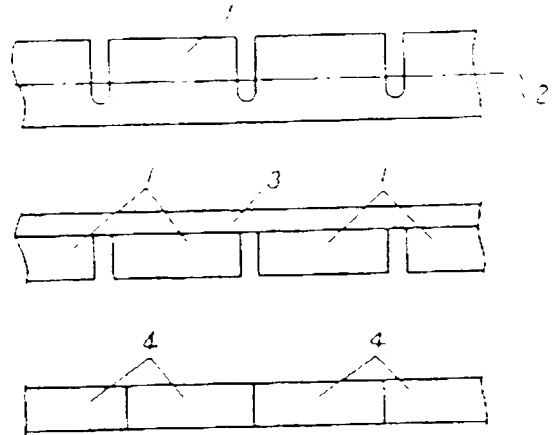
APPLICATION DATE : 14-01-88  
APPLICATION NUMBER : 63005846

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : ABE TERUO;

INT.CL. : H01L 21/78 B28D 5/00 H01L 21/306

TITLE : DICING METHOD



ABSTRACT : PURPOSE: To obtain a high-resolution and highly accurate adhesion image sensor by connecting a plurality of chips using a first process for performing cutting from the surface of a semiconductor substrate which forms a circuit and a second process which performs polishing and etching from the rear surface.

CONSTITUTION: A first process 1 which is the cutting from the surface of a semiconductor substrate 1 is performed. In this case, a part 2 which lacks vertical properties of cutting surface as half cut is left. Since no rear surface of the substrate 1 is cut in this process, no positioning deviation of each chip occurs on cutting vertical and horizontal columns. After the first process, the surface of the substrate 1 is fixed by fixing agent 3, the part 2 on the cutting surface which 1 lacks vertical properties is removed by polishing or etching from the rear surface, the chip fixing agent 3 is removed, and a plurality of chips 4 are connected to form a long image sensor. It allows a high-resolution and highly accurate adhesion-type image sensor to be obtained and mass production capability to be improved.

COPYRIGHT: (C)1989,JPO&Japio



⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-186646

⑨ Int. Cl. 4

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月26日

H 01 L 21/78  
B 28 D 5/00  
H 01 L 21/306

S-8831-5F  
Z-7366-3C  
M-7342-5F 審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 ダイシング法

⑯ 特 願 昭63-5846

⑰ 出 願 昭63(1988)1月14日

⑱ 発 明 者 村 田 隆 彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 発 明 者 阿 部 輝 夫 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
㉑ 代 理 人 弁理士 中 尾 敏 男 外1名

明 細 書

1. 発明の名称

ダイシング法

2. 特許請求の範囲

回路を形成した半導体基板の表面から切断する  
第1工程と、裏面から研磨またはエッチングする  
第2工程とからなることを特徴とするダイシング  
法。

3. 発明の詳細な説明

産業上の利用分野

本発明は回路を形成した半導体基板を分割する  
際に用いることのできるダイシング法に関するも  
のである。

従来の技術

近年、事務機器、ファクス、コンピュータの入  
力端末用としての各種の密着型イメージセンサの  
開発が進められている。密着型イメージセンサは、  
等倍率で読み取るために原稿と同一サイズの長尺  
ラインセンサを必要とする。その中でもプロセス  
技術が確立し、高性能なシリコンICチップを複

数個接続して長尺化をはかって密着型イメージセ  
ンサを実現していこうとする動きがある。この場  
合、ICチップ間の接続誤差がその密着型イメー  
ジセンサの読み取り精度を制限する。高精度の密  
着型イメージセンサを実現するためには、ICチ  
ップの端面(ダイシング面)の状態が非常に重要  
となる。また高分解能になる程センサ間隔が狭く  
なるため、接続部の両側のセンサ間隔を精度よく  
保つ必要がある。

以下図面を参照しながら、上述した従来のダイ  
シング法の一例について説明する。第4図は従来  
のダイシングのフルカット法を示すものである。  
11は回路を形成した半導体基板であり、12は  
接着シートである。接着シート12は半導体基板  
11を完全にフルカットするためのものであり、  
またダイシング装置のステージを傷つけないよう  
に保護するためのものである。このフルカット法  
で切断したチップを複数個接続して、長尺イメー  
ジセンサを形成する。

発明が解決しようとする課題

しかしながら、上記のようなダイニング法で切断したチップを接続すると接続部にすき間が生じる。この様子を第5図に示す。第5図において13は半導体基板11をカットして構成したチップで、このチップ13間にすき間 $d_1, d_2, d_3$ が発生する。

この原因は第6図に示す切断用ブレード14の先端部の幅が中央部の幅より狭くなっており、切断面は右形状となるためである。チップ13を複数個接続した場合、接続部の両側のセンサ間隔が接続部の両側以外のセンサ間隔と異なり、高分解能、高精度の密着型イメージセンサが得られないという問題点を有していた。また、第7図に示すように、切断後、チップ13a, 13b, 13c, 13dの位置が、接合ノートの伸び等でずれ $d_1, d_2, d_3$ が生じ、縦列、横列の位置精度に誤差が発生し、切断が困難であるという問題点も有していた。

本発明は上記問題点に鑑み、複数個のチップを接続して高分解能、高精度な密着型イメージセン

シング法を示すものである。第1図において、1は回路を形成した半導体基板である。2は切断面の垂直性の欠く部分である。第2図において、3はチップの表面部の固定剤であり、裏面の研磨時もしくはエッチング時に、各チップを保持するためのものである。

まず、半導体基板1の表面からの切断である第1工程を行う。この際、切断はハーフカットであり、図中の切断面の垂直性を欠く部分2を残す。第1工程では半導体基板1の裏面は切断されないため、縦列切断、横列切断時の各チップの位置ずれは生じず、位置精度は確保されて切断される。

第1工程後、半導体基板1の表面を固定剤3で固定し、切断面の垂直性の欠く部分2、すなわち第1図中の部分2を裏面より、研磨もしくはエッチングを行い取り除く。次に第3図に示すようにチップ固定剤3を取り除き、チップ4を複数個接続して長尺のイメージセンサを形成する。

以上のように本実施例によれば、回路を形成した半導体基板1の表面からハーフカットを行い、

サが得られ、かつ量産性に富むダイニング法を提供するものである。

#### 課題を解決するための手段

上記課題を解決するために本発明のダイニング法は回路を形成した半導体基板の表面から切断する第1工程と、裏面から研磨する第2工程、もしくは、裏面をエッチングする第2工程からなるものである。

#### 作用

本発明は上記した方法により、基板の表面から切断できる第1工程をハーフカットとし、縦列、横列の位置ずれをなくす。さらに、切断面の裏面付近の垂直性に欠く部分を、研磨もしくはエッチングで取り除くことにより、切断面の垂直性が確保され、接続部のすき間が大幅に減少することとなる。

#### 実施例

以下本発明の実施例のダイニング法について、図面を参照しながら説明する。

第1図、第2図は本発明の実施例におけるダイ

その後、裏面から研磨もしくはエッチングを行うことにより、切断面の垂直性が実現し、接続部のすき間も大幅に減少し、高分解、高精度な密着型イメージセンサが実現可能となり、かつ量産性に富むダイニングが行える。なお、実施例ではチップ固定剤3を用いたが、裏面よりの研磨時もしくはエッチング時にチップを保持できるものであれば何でもいい。

#### 発明の効果

以上のように本発明は、回路を形成した半導体基板の表面から切断する第1工程と、裏面から研磨もしくはエッチングする第2工程からなるダイニング法を切断工程に用いることにより、チップの切断面の垂直性が大幅に向上し、複数個のチップを接続して長尺センサを形成する密着イメージセンサにおいて、高分解能、高精度可能な密着イメージセンサが実現でき、かつ量産性にも富むという効果がある。

#### 4. 図面の簡単な説明

第1図、第2図は本発明の実施例におけるダイ

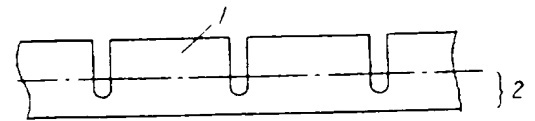
ノング法の工程図で、第1図は表面から切断する第1工程を示す平面図、第2図は表面から研磨もしくはエッチングする第2工程を示す断面図、第3図は本発明のダイシング法で切断したチップを形成した状態の平面図、第4図は従来のフルカット法での工程を示す平面図、第5図はチップの破綻を示す断面図、第6図はフルカット法ですき間が生じる原因を示した断面図、第7図はフルカット法ダイシングした後のチップ位置のずれを示す平面図である。

1………半導体基板、2………切断面の垂直性を欠く部分、3………チップ固定剤。

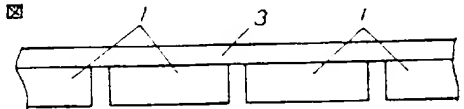
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

1………回線と形成した半導体基板  
2………切断面の垂直性を欠く部分  
3………チップ固定剤  
4………チップ

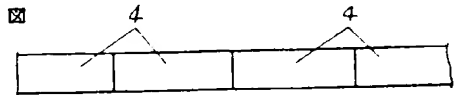
第 1 図



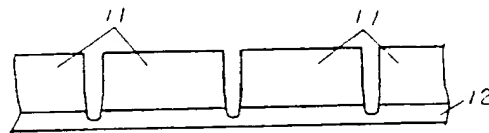
第 2 図



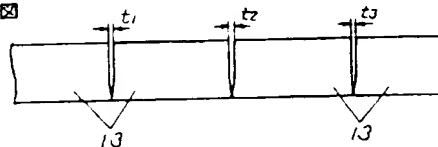
第 3 図



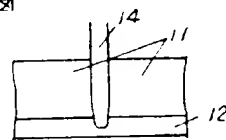
第 4 図



第 5 図



第 6 図



第 7 図

